

Studentenmitteilung

1. Semester - WS 2002

Abt. Technische Informatik
 Gerätebeauftragter
 Dr. rer.nat. Hans-Joachim Lieske
 Tel.: [49]-0341-97 32213
 Zimmer: HG 02-37
 e-mail: lieske@informatik.uni-leipzig.de
 www: <http://www.ti-leipzig.de/~lieske/>
 Sprechstunde: Mi. 14⁰⁰ – 15⁰⁰

Datum: 16. Dezember 2002

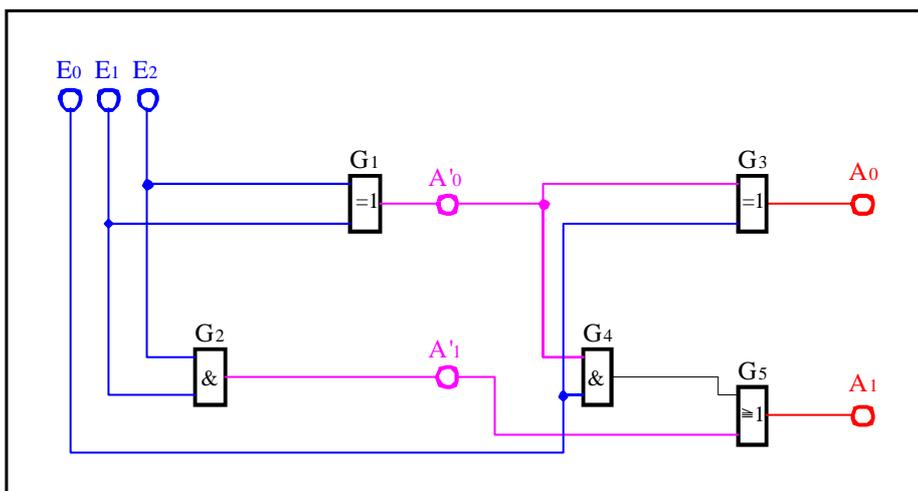
Aufgaben zu Übung Grundlagen der Technischen Informatik 1

4. Aufgabenkomplex Technologie logischer Schaltungen

4. Aufgabenkomplex - 1. Aufgabe

Entwicklung eines Volladdierers in C-MOS Technologie

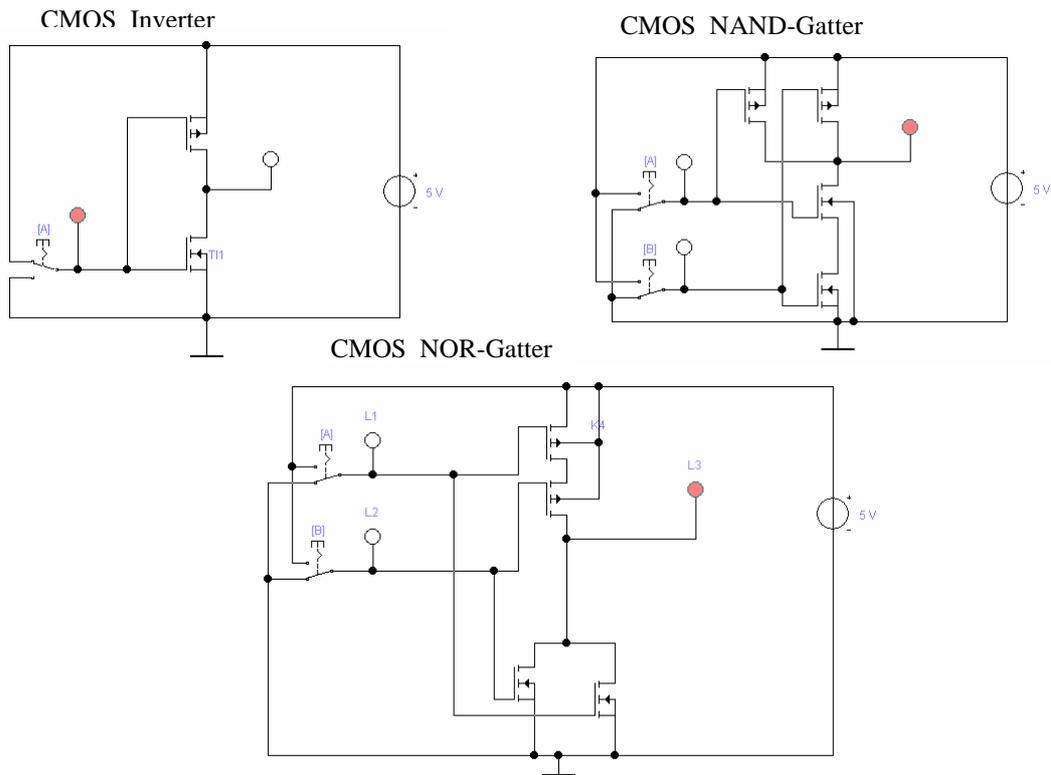
Gegeben ist folgende Schaltung:



Aufgaben:

- Entwickeln Sie die Wertetabelle (0,1) für die Eingänge E_0, E_1 und E_2 sowie die Ausgänge A'_0, A'_1, A_0 und A_1 . **5 Punkte**
- Entwickeln Sie die entsprechende Schaltung in C-MOS –Technologie. AND-Gatter können aus NAND-Gatter und Inverter, OR-Gatter aus NOR-Gatter und Inverter zusammengesetzt werden. **10 Punkte**

Erlaubt sind folgende Komponenten:



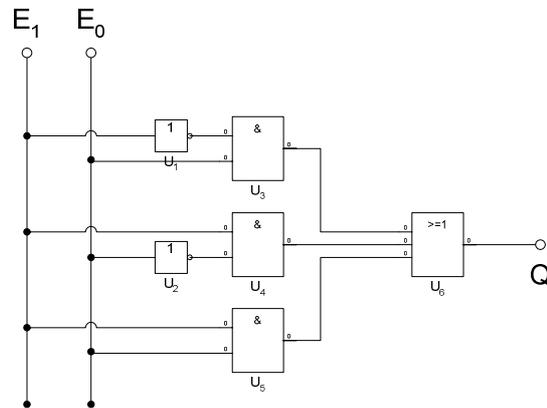
Die Schalter sind natürlich nur am Eingang sinnvoll. Ein NOR-Gatter und ein Inverter kann zu einem OR-Gatter, ein NAND-Gatter und ein Inverter kann zu einem AND-Gatter zusammengefasst werden. Die Spannungsquelle braucht nur einmal gezeichnet werden, die Anzeigepunkte können weggelassen werden.

Der Halbdaddierer braucht nur einmal gezeichnet werden. Im Gesamtschaltplan kann er als Baustein gezeichnet werden.

4. Aufgabenkomplex - 2. Aufgabe

Entwicklung einer Schaltung in C-MOS Technologie als komplexe Schaltfunktion

Gegeben ist folgende Schaltung:



1. Entwickeln Sie die Wertetabelle (0,1) für die Eingänge E_0 und E_1 sowie den Ausgang Q .

5 Punkte

2. Zeichnen Sie die Funktion als CMOS-Komplexgatter

10 Punkte

Bemerkung:

Für alle Aufgaben gilt:

1. In allen Formeln sind die Maßeinheiten mitzuschleifen.
2. Bei den Endergebnissen sind die Maßeinheiten zu verwenden, die, wenn vorhanden, aus einem Buchstaben bestehen. Während der Rechnung können Sie nach eigenem Ermessen verfahren.
3. Bei den Endergebnissen sind die $10^{\pm 3}$ Präfixe konsequent zu verwenden. Während der Rechnung können Sie nach eigenem Ermessen verfahren.
Präfixe nur verwenden, wenn eine Maßeinheit dahinter ist.
4. Alle Aufgaben auf insgesamt 4 Stellen genau berechnen, wenn in Aufgabe nicht anders angegeben.
5. Die Aufgaben sind zu nummerieren, auch die Teilaufgaben.
6. Der Rechenweg muß ersichtlich sein. Gegebenenfalls das Schmierblatt anheften.
7. Jedes Blatt ist wie folgt zu nummerieren Seite/Gesamtzahl der Seiten (z.B. Seite 6/8)

Nichtbeachtung wird mit Punktabzug geahndet!

Präfixe zur Kennzeichnung des Vielfachen von gesetzlichen Einheiten (dezimal)		
Zeichen	Faktor	Bezeichnung
Y	10^{24}	Yotta
Z	10^{21}	Zetta
E	10^{18}	Exa
P	10^{15}	Peta
T	10^{12}	Tera
G	10^9	Giga
M	10^6	Mega
k	10^3	Kilo
m	10^{-3}	Milli
μ	10^{-6}	Mikro
n	10^{-9}	Nano
p	10^{-12}	Piko
f	10^{-15}	Femto
a	10^{-18}	Atto
z	10^{-21}	Zepto
y	10^{-24}	Yokto
Weniger gebräuchlich nur zu Information		
h	10^2	Hekto
da	10^1	Deka
d	10^{-1}	Dezi
c	10^{-2}	Zenti

Umgang mit den Präfixen am Beispiel einer 4 stelligen Genauigkeit:

--- , - Präfix Maßeinheit

-- , -- Präfix Maßeinheit

-, --- Präfix Maßeinheit

Beispiele:

216,4 μ F; 33,45kHz; 2,456M Ω ; 7,482A

Lösung:

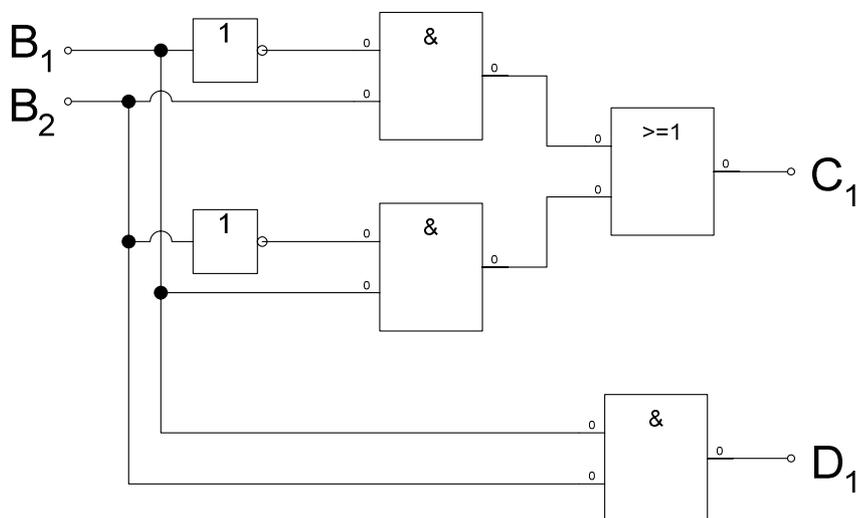
4. Aufgabenkomplex - 1. Aufgabe

Aufgaben:

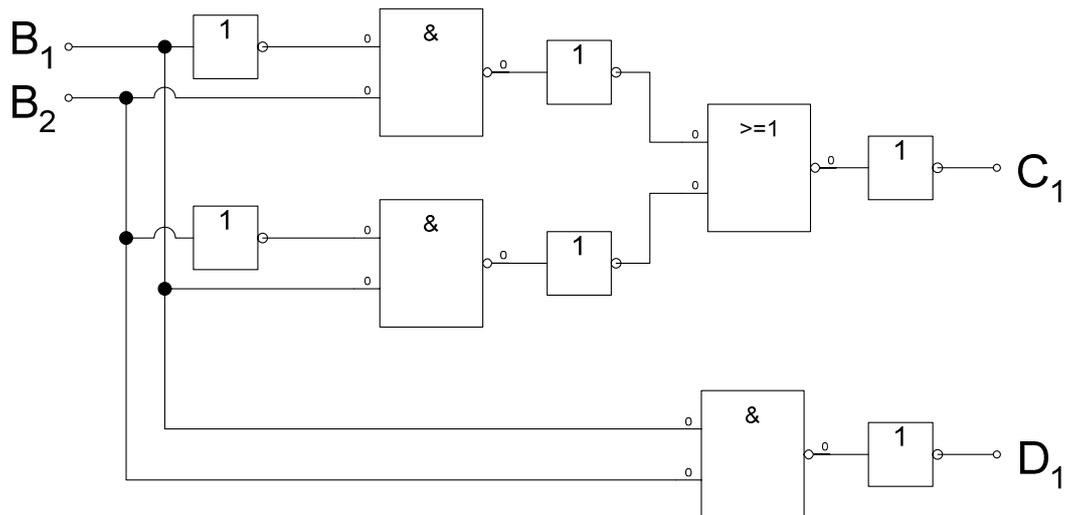
1. Entwickeln Sie die Wertetabelle (0,1) für die Eingänge E_0, E_1 und E_2 sowie die Ausgänge A_0', A_1', A_0 und A_1 .

Eingänge			Zwischenwerte		Ausgänge	
E_0	E_1	E_2	A_0'	A_1'	A_0	A_1
0	0	0	0	0	0	0
0	0	1	1	0	1	0
0	1	0	1	0	1	0
0	1	1	0	1	0	1
1	0	0	0	0	1	0
1	0	1	1	0	0	1
1	1	0	1	0	0	1
1	1	1	0	1	1	1

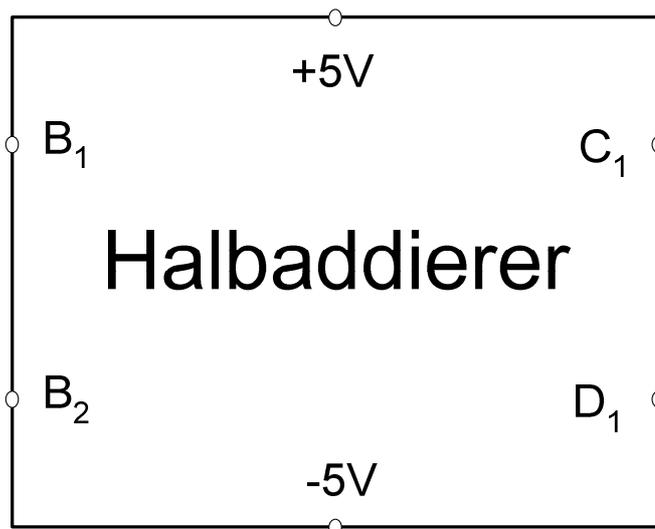
2. Entwickeln Sie die entsprechende Schaltung in C-MOS –Technologie. AND-Gatter können aus NAND-Gatter und Inverter, OR-Gatter aus NOR-Gatter und Inverter zusammengesetzt werden.



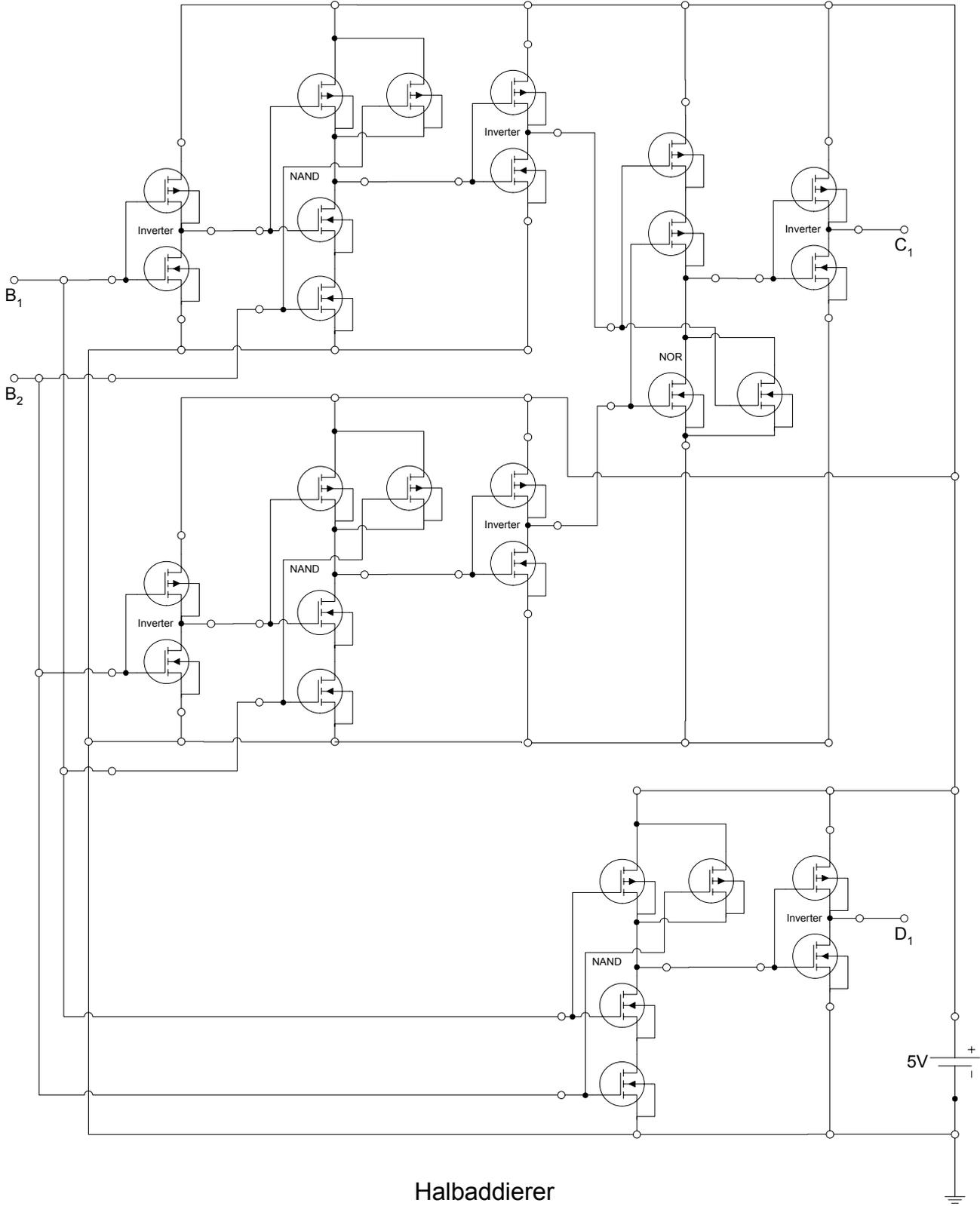
Halbaddierer
mit AND-, OR- und Inverter-Gattern



Halbaddierer
mit NAND-, NOR- und Inverter-Gattern

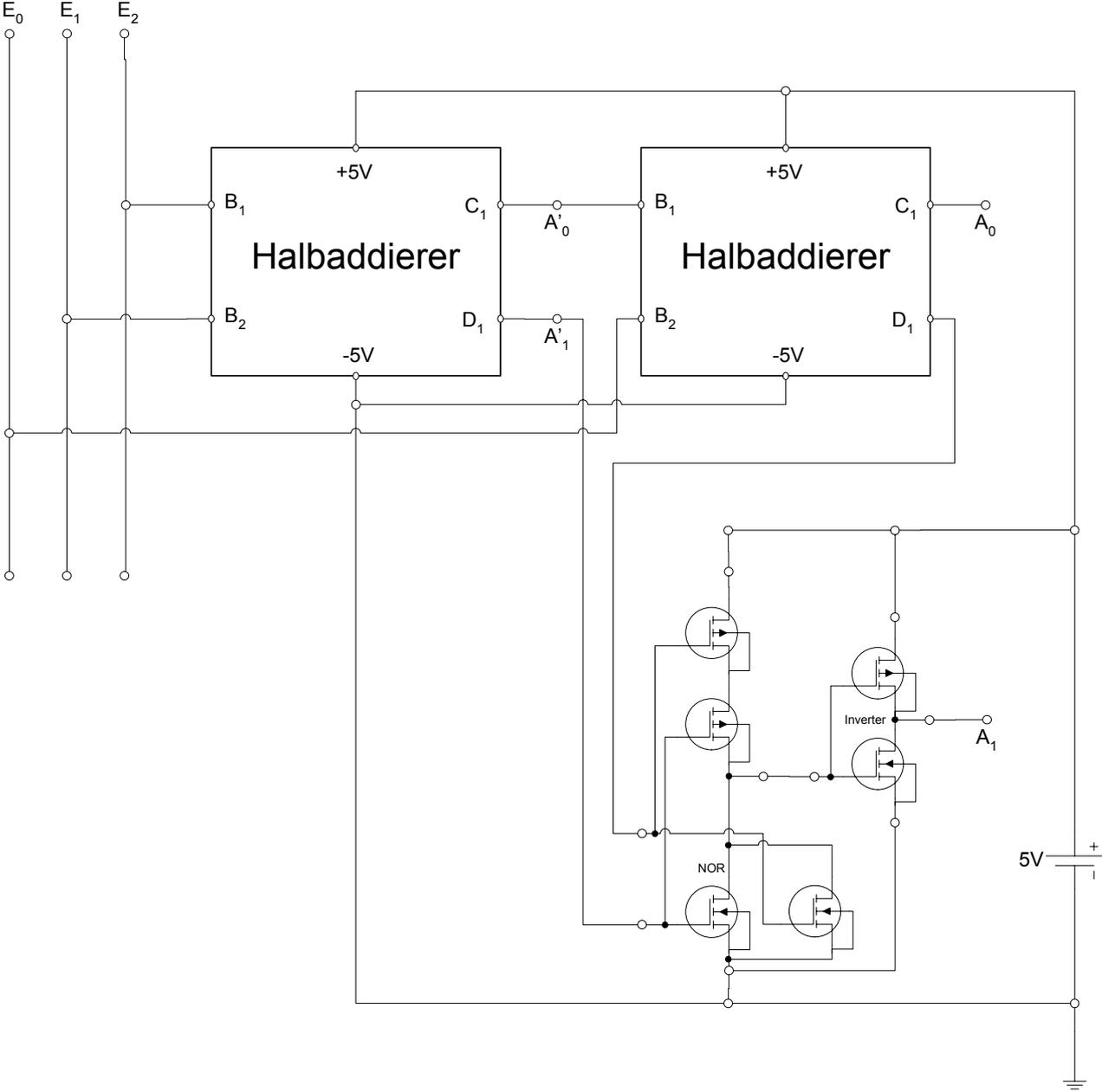


Halbaddierer in CMOS-Schaltung:



Halbaddierer
in CMOS-Schaltung
mit AND-, OR- und Inverter-Gattern

Volladdierer in CMOS-Schaltung:



Volladdierer
in CMOS-Schaltung
mit AND-, OR- und Inverter-Gattern

4. Aufgabenkomplex - 2. Aufgabe

Entwicklung einer Schaltung in C-MOS Technologie als komplexe Schaltfunktion

1. Entwickeln Sie die Wertetabelle (0,1) für die Eingänge E_0 und E_1 sowie den Ausgang Q .

Eingänge		Ausgang
E_1	E_0	Q
0	0	0
0	1	1
1	0	1
1	1	1

2. Zeichnen Sie die Funktion als CMOS-Komplexgatter

- 2.1 Entwickeln des N-teils aus den Nullstellen der Wertetabelle

Die Schaltung hat den Wert 0, wenn $E_0 = 0$ und $E_1 = 0$ ist.

Negation des Signals E_0 zu \bar{E}_0 und E_1 zu \bar{E}_1

Reihenschaltung von E_0 und \bar{E}_1

Mit Schaltsymbolen würde das folgende Schaltung ergeben:

- 2.2 Entwicklung des P-Teils durch Reihen-Parallelwandlung des N-Teils (hier implizit durch das AND-Gatter vorgegeben)

Eingänge					Ausgang
E_1	E_0	\bar{E}_0	\bar{E}_1	$\bar{E}_0 \wedge \bar{E}_1$	$Q = \bar{E}_0 \wedge \bar{E}_1$
0	0	1	1	1	0
0	1	1	0	0	1
1	0	0	1	0	1
1	1	0	0	0	1

