UNIVERSITÄT LEIPZIG



Institut für Informatik

Studentenmitteilung

2. Semester - SS 2004

Abt. Technische Informatik Gerätebeauftragter Dr. rer.nat. Hans-Joachim Lieske

Tel.: [49]-0341-97 32213 Zimmer: HG 02-37

e-mail: <u>lieske@informatik.uni-leipzig.de</u> www: <u>http:/www.ti-leipzig.de/~lieske/</u> Sprechstunde: Mi. 14⁰⁰ – 15⁰⁰ (Vorlesungszeit)

Aufgaben zu Übung Grundlagen der Technischen Informatik 2

4. Aufgabenkomplex - 1. Aufgabe

Entwurf eines 2-Bit Multiplizierers

Entwerfen Sie die Schaltung eines Multiplizierers, der die 2-Bit-Zahlen $X=(X_1,X_0)$ und $Y=(Y_1,Y_0)$ miteinander zu der Zahl $Q(Q_3,Q_2,Q_1,Q_0)$ multipliziert. Es sind die Funktionen Q_{3-min} , Q_{2-min} , Q_{1-min} und Q_{0-min} zu bestimmen. Die Funktionen ist wahr, wenn der Wert "1" ist.

Aufgaben:

- 1. Bestimmen Sie die Wertetabelle für Q_3 , Q_2 , Q_1 und Q_0
- 2. Bestimmen Sie die KV-Diagramme
- 3. Bestimmen Sie die minimierten logischen Gleichungen Q_{3-min} , Q_{2-min} , Q_{1-min} und Q_{0-min}
- 4. Bestimmen Sie die Schaltungen für Q_{3-min}, Q_{2-min}, Q_{1-min} und Q_{0-min}
- 5. Bestimmen Sie die Schaltungen als PAL für Q_{3-min} , Q_{2-min} , Q_{1-min} und Q_{0-min}

Bemerkungen:

Es sind nur AND- OR- und NOT-Gatter zu verwenden.

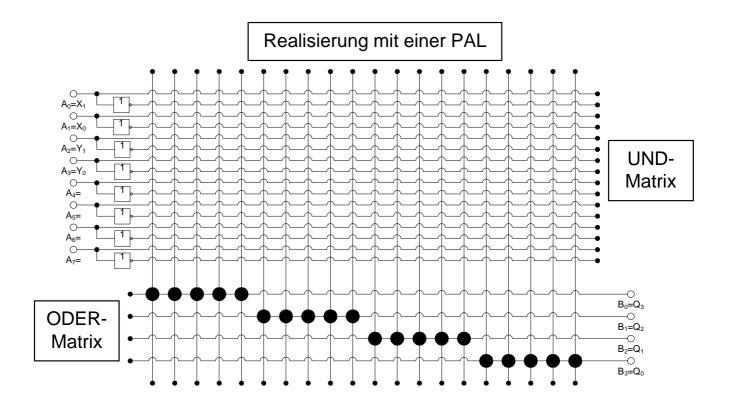
Diese Gatter können beliebig viele Eingänge haben.

Es sind keine strengen Schaltungen gefordert, d.h. es können Leitungen für die normalen- und invertierten Eingangsvariablen verwendet werden.

Bei der Realisierung als PLA und PAL sind für die UND- und ODER-Verknüpfungen Punkte zu setzen.

Nr	Eingänge					A	usgän	ge	
	Y	Y_1, Y_0	X	X_1, X_0	Q	Q_3	Q_2	Q_1	Q_0
0	0	00	0	00					
1	0	00	1	01					
2	0	00	2	10					
3	0	00	3	11					
4	1	01	0	00					
5	1	01	1	01					
6	1	01	2	10					
7	1	01	3	11					
8	2	10	0	00					
9	2	10	1	01					
10	2	10	2	10					
11	2	10	3	11					
12	3	11	0	00					
13	3	11	1	01					
14	3	11	2	10					
15	3	11	3	11					

			X				
		0	1	1	0		
	0	0	1	5	4	0	
Y ₁	0	2	3	7	6	1	X_1
1	1	10	11	15	14	1	71
	1	8	9	13	12	0	
		0	0	1	1		
			Y	0			



4. Aufgabenkomplex - 2. Aufgabe

Entwurf eines Binär Code – Gray Code Decoders

Entwerfen Sie die Schaltung eines Decoders, der einen 4-Bit Binärcode in einen 4-Bit Graycode wandelt. Die Eingänge sind $B(B_3, B_2, B_1, B_0)$. Die Ausgänge sind $G(G_3, G_2, G_1, G_0)$.

Aufgaben:

- 1. Bestimmen Sie die Wertetabelle für (G_3, G_2, G_1, G_0)
- 2. Bestimmen Sie die KV-Diagramme
- 3. Bestimmen Sie die minimierte logische Gleichungen (G_{3 min}, G_{2 min}, G_{min}, G_{min})
- **4. Bestimmen Sie die Schaltungen für** $(G_{3 \text{ min}}, G_{2 \text{ min}}, G_{\text{min}}, G_{0 \text{ min}})$
- 5. Bestimmen Sie die Schaltungen als PLA für (G_{3 min}, G_{2 min}, G_{min}, G_{0 min})

Bemerkungen:

Es sind nur AND- OR- und NOT-Gatter zu verwenden.

Diese Gatter können beliebig viele Eingänge haben.

Es sind keine strengen Schaltungen gefordert, d.h. es können Leitungen für die normalen- und invertierten Eingangsvariablen verwendet werden.

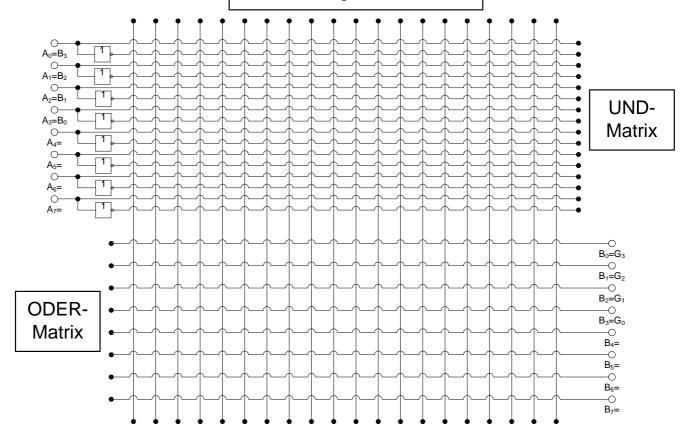
Bei der Realisierung als PLA und PAL sind für die UND- und ODER-Verknüpfungen Punkte zu setzen.

	Wertetabelle							
	Eingangsvariablen	Ausgangsvariablen						
Nr.	B_3, B_2, B_1, B_0	G_3	G_2	G_1	G_0			
0	0000							
1	0001							
2	0010							
3	0011							
4	0100							
5	0101							
6	0110							
7	0111							
8	1000							
9	1001							
10	1010							
11	1011							
12	1100							
13	1101							
14	1110							
15	1111							

			В				
		0	1	1	0		
	0	0	1	5	4	0	
B_3	0	2	3	7	6	1	\mathbf{B}_1
D ₃	1	10	11	15	14	1	D 1
	1	8	9	13	12	0	
		0	0	1	1		
			В	2			

Wertetabelle								
Dezimalcode	Binärcode	Graycode						
D_1, D_0	B_3, B_2, B_1, B_0	G_3, G_2, G_1, G_0						
0	0000	0000						
1	0001	0001						
2	0010	0011						
3	0011	0010						
4	0100	0110						
5	0101	0111						
6	0110	0101						
7	0111	0100						
8	1000	1100						
9	1001	1101						
10	1010	1111						
11	1011	1110						
12	1100	1010						
13	1101	1011						
14	1110	1001						
15	1111	1000						

Realisierung mit einer PLA



4. Aufgabenkomplex - 3. Aufgabe

Konjunktive Minimierung logischer Schaltungen

Zur Nutzung einer konjuntiven PLA (erst ODER-Matrix, dann UND-Matrix) muss die logische Gleichung konjuktiv minimiert werden. Es müssen hier die Maxterme (Nullstellen) minimiert werden.

Gegeben ist folgende Tabelle:

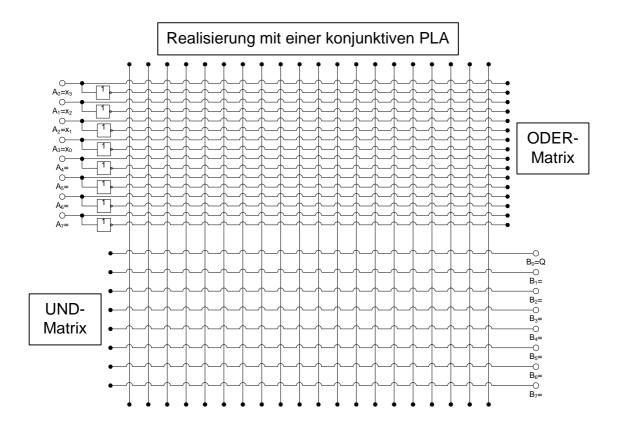
7 ahl	Eingangsvariablen	0
Zahl	x_3, x_2, x_1, x_0	Q
0	0000	
1	0001	
2	0010	
3	0011	
4	0100	
5	0101	1
6	0110	
7	0111	1
8	1000	
9	1001	
10	1010	
11	1011	
12	1100	1
13	1101	
14	1110	1
15	1111	

Aufgaben:

- 1. Bestimmen Sie das KV-Diagramm
- 2. Minimieren Sie die logische Gleichung mittels der Nullen (konjunktive Minimierung) und bestimmen Sie die konjunktive Minimalform $Q_{konj\text{-min}}$
- 3. Zeichnen Sie die strenge minimierte Schaltung für $Q_{konj\text{-min}}$
- 4. Bestimmen Sie die Schaltungen als konjunktive PLA für Q_{konj-min}

		X				
		1	1	0		
0	0	1	5	4	0	
0	2	3	7	6	1	ν.
1	10	11	15	14	1	X ₁
1	8	9	13	12	0	
·		0	1	1		
	\mathbf{x}_2					
	0	0 2 1 10 10	0 1 0 0 1 0 2 3 1 10 11 1 8 9 0 0	0 0 1 5 0 2 3 7 1 10 11 15 1 8 9 13 0 0 1	0 1 1 0 0 0 1 5 4 0 2 3 7 6 1 10 11 15 14 1 8 9 13 12 0 0 1 1	0 1 1 0 0 0 1 5 4 0 2 3 7 6 1 10 11 15 14 1 8 9 13 12 0 0 1 1 0 0 1 1

			X				
		0	1	1	0		
	0	0	1	5	4	0	
X ₃	0	2	3	7	6	1	ν.
A 3	1	10	11	15	14	1	\mathbf{x}_1
	1	8	9	13	12	0	
•		0	0	1	1		
			X	2			



Es sind nur AND- OR- und NOT-Gatter zu verwenden. Diese Gatter können beliebig viele Eingänge haben. Bei der Realisierung als PLA und PAL sind für die UND- und ODER-Verknüpfungen Punkte zu setzen.

Beispiel für PLA – Programmierung:

$$Q_1 = f_1(x_3, x_2, x_1, x_0) = x_2 \overline{x}_0 \lor x_3 \overline{x}_2 \lor \overline{x}_3 \overline{x}_2 x_1$$

$$Q_2 = f_2(x_3, x_2, x_1, x_0) = \overline{x}_3 \overline{x}_2 \lor x_3 \overline{x}_2 x_1 \lor x_3 x_2 \overline{x}_0$$

